

两个表面比一个好

先进的组装分析技术—利用全视场双表面三维翘曲数据排除枕头效应、开路 and 短路等缺陷

美国, 乔治亚洲, 亚特兰大, Akrometrix 公司: Ken Chiavone

摘要:

多年来, 封装翘曲一直被认为是回流焊中各种缺陷的主要原因, 如枕头效应 (HIP)、短路、开路等缺陷。对焊盘区域也一贯被认为是相对平坦的, 根本不对其平面度评估与审查。但是随着封装变得越来越薄, 焊盘区域的翘曲对焊接的影响也越来越大了, 分析回流焊期间被焊接上下两表面的形状对焊接是有利的。通过分析“顶面”和“底面”, 可以确定各个温度下每个互连的间隙, 发现有可能造成组装缺陷的不匹配形状。

关键词:

ROSE; 离子污染; SIR 测量; 电导率; 可靠性

在 APEX 2009 发表的“电信案例研究: 通过组装工艺的改进和控制, 解决和减缓枕头缺陷 (HIP)”一文, 综述了有关枕头缺陷问题, 并通过分析, 提出了怎样解决和减少枕头缺陷, 提高成品率的方法^[1]。自其发表以来, 枕头缺陷 (head-in-pillow, or head-on-pillow) 问题得到了更为广泛的证明和讨论。随着电子设计中元件尺寸、厚度和材料向更小方向的发展, 互连间距和焊球尺寸不断减小, 枕头缺陷因损害生产量和最终产品的现场可靠性一直倍受人们的关注, 也使得的回流焊工艺更具挑战性。本文概述一种相对较新的双表面分析方法, 电子制造商使用它能够更全面地了解回流焊过程中元件的形状变化, 进而指导产品设计, 排除故障, 确保产品的高质量制造。

翘曲

枕头缺陷、开路、短路的主要原因之一就是元件翘曲^[2]。由于器件在开始制造时无陶瓷基板, 当组装 BGA 器件时, 包括芯片与基板和二级封装与 PCB 的组装, 翘曲就成为一个重要的因素。随着产品向轻、薄、小的方向发展, 翘曲的影响越来越大, 甚至很小的翘曲变化, 都可能会导致不可接受的缺陷率^[3]。

多年来, 在电子工业中, 共面性一直被用来测量翘曲变形。简单地说, 共面性就是测量最高点和最低点之间的距离。视情况也可能赋予一个“-”或“+”号, 表示“微笑”或“哭泣”的形状, 从侧面看上去则为凹或凸的形状^[4]。

今天广泛使用的所有行业标准

都会涉及到封装翘曲。如何衡量它呢, 因为有时候容许值以内的封装仍然可以得到可靠组装^[5]。在很多情况下, 各家公司都有其自己内部的、专有的元件容许值。有关共面性的极限值是通过计算、试验, 或计算和试验并举获得的, 用它们进行工艺过程控制, 确保可接受的生产量。

但是共面性极限值有其自身的局限性。虽然标准给出了在回流焊期间普遍适用的测量翘曲的方法, 但是设置具体数值的可接受的极限值的标准 (如“封装的共面性必须小于 100 微米”) 在有些情况下是无用的, 甚至是贻害决策的^[6]。在某些情况下, 采用共面性在“标准极限值范围内”的元件进行组装也可能失败, 而超出既定的共面性的元件却实现了零缺陷组装。对于产品数量数以百万计、交货日期又很苛刻的生产, 依靠目前出版的或专有的标准是不可能对元件形状兼容性和预期可靠性做出最好决定的。

为什么传统的共面性极限值有局限性

设置的共面性极限值没有达到设置意愿有如下原因。它们是:

* 极限值产生于极少量的样品

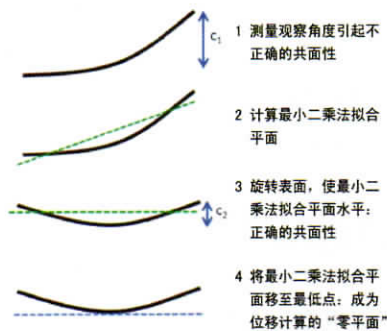


图 1 最小二乘法拟合旋转过程

别测量顶面和底面，对焊接过程和被焊接元件的变形组合的影响已经没有了，枕头缺陷、短路、开路等已经在液态结束前就形成了，这不是分析过程所特别关注的。)

结论

枕头缺陷是在 APEX 2009 提出的，自此有关 BGA 的工艺挑战包括细间距 BGA 的探讨就没有停止过。随着新的和更薄的材料以及更细间距器件的使用，由于翘曲造成的回流焊缺陷会更多。更薄、功能更强大的移动设备是行业的发展趋势，为了获得高可靠的 POP 组装，枕头缺陷还是非常关键的，通过组件设计以及调整和控制工艺变量可避免缺陷的发生。

在过去的十多年里，许多 SMT 电子制造商已对回流焊的焊接表面进行了全视场的形状测量。今天，绝大多数厂家都在测量整个回流焊温度下元件焊接表面的形状，并把此作为一项日常工作。为了最大程度地避免和

抵消枕头缺陷、短路、开路等，需要测量回流焊各个关键温度下的两个被焊接表面，以及发生于两表面的形状匹配情况，以确保达到预期合适的间隙。因为表面贴装产品需要较小的互连间隙结构，面向组装的设计至关重要。回流焊的 SMT 组件需要不同温度下的互连间隙分析，以便调整各个工艺参数，实现尽可能可靠的焊点。

本文给出的分析方法比较复杂，不仅涉及测量共面性，还要检查共面性是否低于规定限制。关键的温度点必须进行审查。每个互连间隙都必须检查，因为在实际生产中可能有多种统计面组合的可能性。当然，分析双表面比传统的翘曲分析更具挑战性。但是随着 SMT 电子产品的设计和制造难度越来越大，可靠性要求越来越高，针对这些更复杂的问题，就需要创建更复杂的分析方法，需要收集、组合、评估、分析来自两个被焊表面的数据。在许多情况下，对于高温焊接，仅仅分析封装的共面性也已不再有效。在回流焊温度曲线的各个关键温度下，使用全视场、双表面间隙分析，可以用于验证产品设计，设置组装工艺变量，监控元件的可靠性和兼容性。

参考文献

- [1] Russell Nowland, Richard Coyle, Peter Read, George Wenger, "Telecommunications Case Studies Address Head-in-Pillow (HnP) Defects and Mitigation through Assembly Process Modifications and Control", APEX 2009
- [2] Dudi Amir, RaiyoAspandiar, Scott Buttars, Wei Wei Chin, Paramjeet Gill, "Head - And - Pillow SMT Failure Modes", Proceedings of SMTA International, 409-421, San Diego, CA, (2009)
- [3] DongjiXie, DongkaiShangguan, David Geiger, "Head-in-Pillow (HIP) and Yield Study on SIP and PoP Assembly", ECTC 2009
- [4] JESD22-B112A, "High Temperature Package Measurement Methodology", JEDEC Solid State Technology Association, 2009
- [5] JEDEC Publication 95, SPP-024 Issue A, "Reflow Flatness Requirements for Ball Grid Array Packages", JEDEC Solid State Technology Association, 2009
- [6] John Davignon, Ken Chiavone, Jiahui Pan, James Henzi, David Mendez, Ron Kulterman, "PCB Dynamic Coplanarity at Lead-Free SMT Temperatures", Proceedings of SMTA International, Ft. Worth, TX, (2011)
- [7] JEITA ED-7306E, "Measurement Methods of Package Warpage at Elevated Temperature and the Maximum Permissible Warpage", Japan Electronics and Information Technology Association, 2007
- [8] John Davignon, et al., "PCB Dynamic Coplanarity at Lead-Free SMT Temperatures", Proceedings of SMTA International, Ft. Worth, TX, (2011)
- [9] RanjitPandher, Rahul Raut, Michael Liberatore, NavendraJodhan, and Karen Tellefsen, "A Procedure To Determine Head-In-Pillow Defect And Analysis Of Contributing Factors", Proceedings of SMTA International, (2010)
- [10] DongjiXie, et al., "Head-in-Pillow (HIP) and Yield Study on SIP and PoP Assembly", ECTC 2009

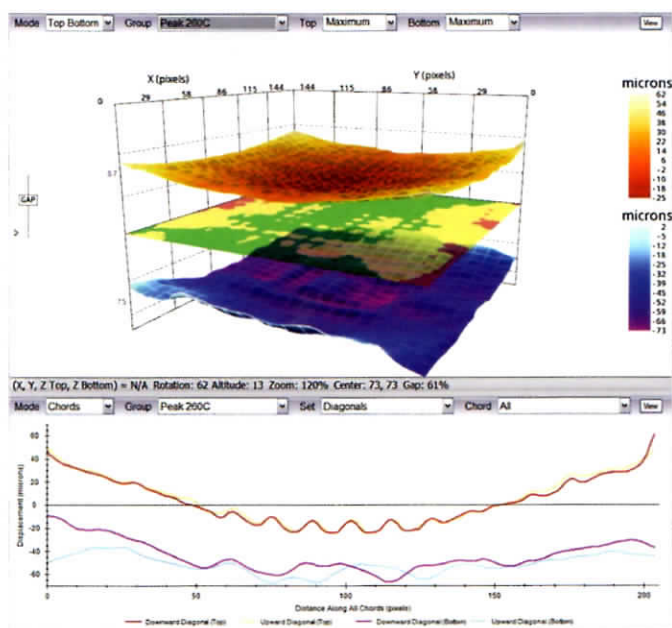


图 13 峰值温度 260 °C 的间隙极限图

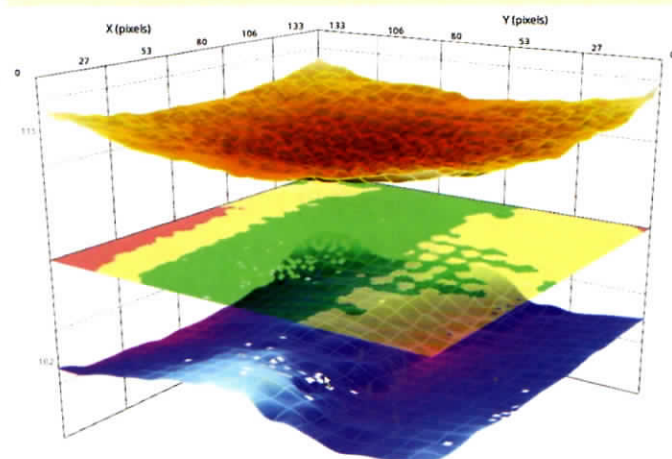


图 14 非对称翘曲的 PCB 焊接区的间隙极限图